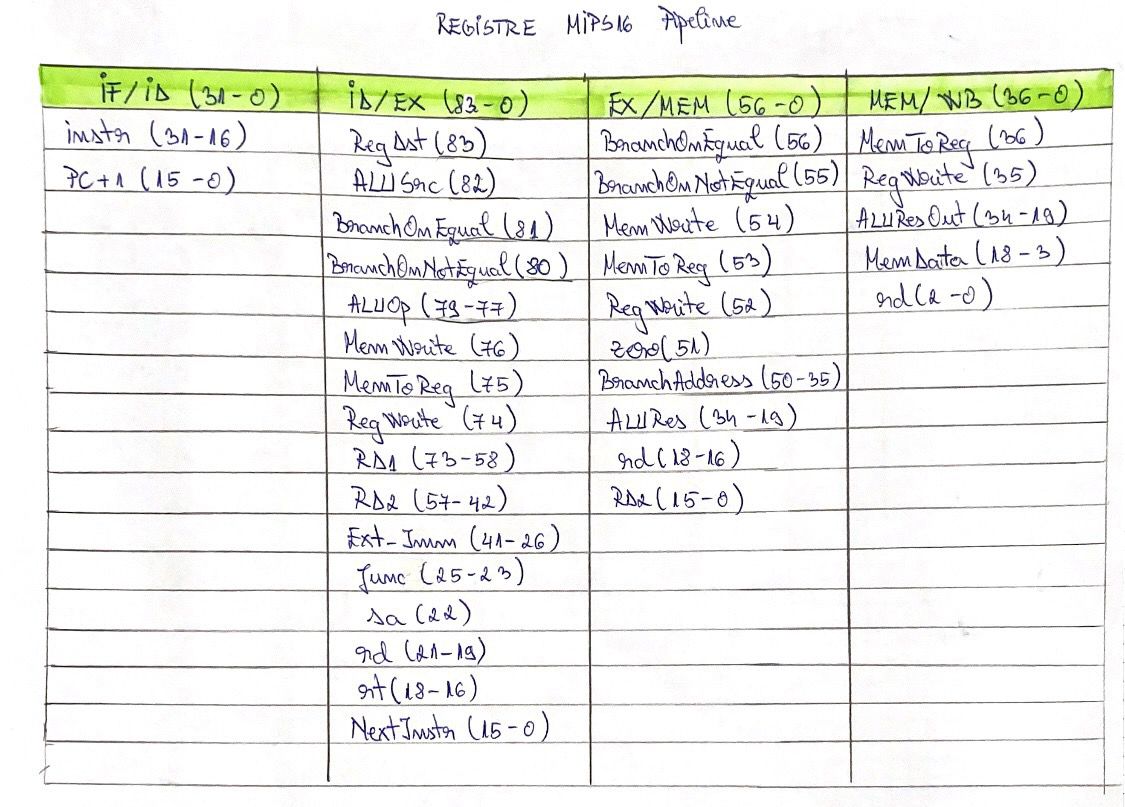
**Raport MIPS PIPELINE**

**Modificari particulare:**

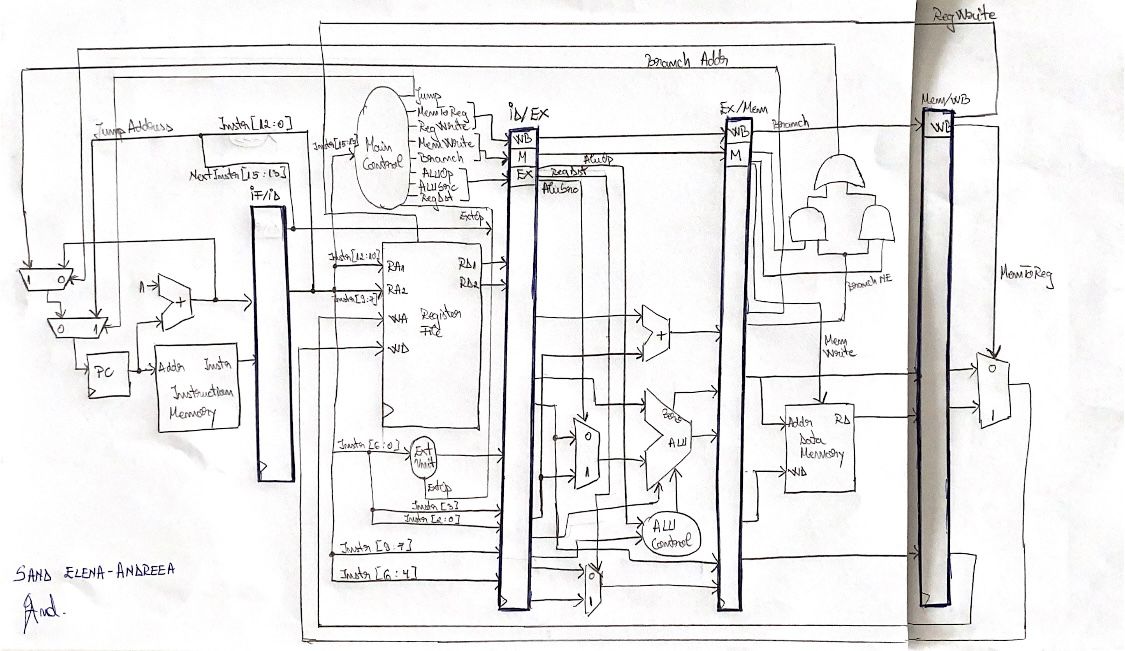
Ca modificare particulara este adaugarea unui semnal de salt, BranchNE, pentru instrucțiunea BNE care face salt atunci cand valorile din regiștrii dați sunt diferite. De asemenea pentru depanare, am mai adăugat opțiunea de a vedea datele din fisierul de regiștrii pe afișor, adăugând astfel și switch-ul 8 ca selecție la multiplexor.

**Tabelul cu descrierea registrilor de pipeline:**

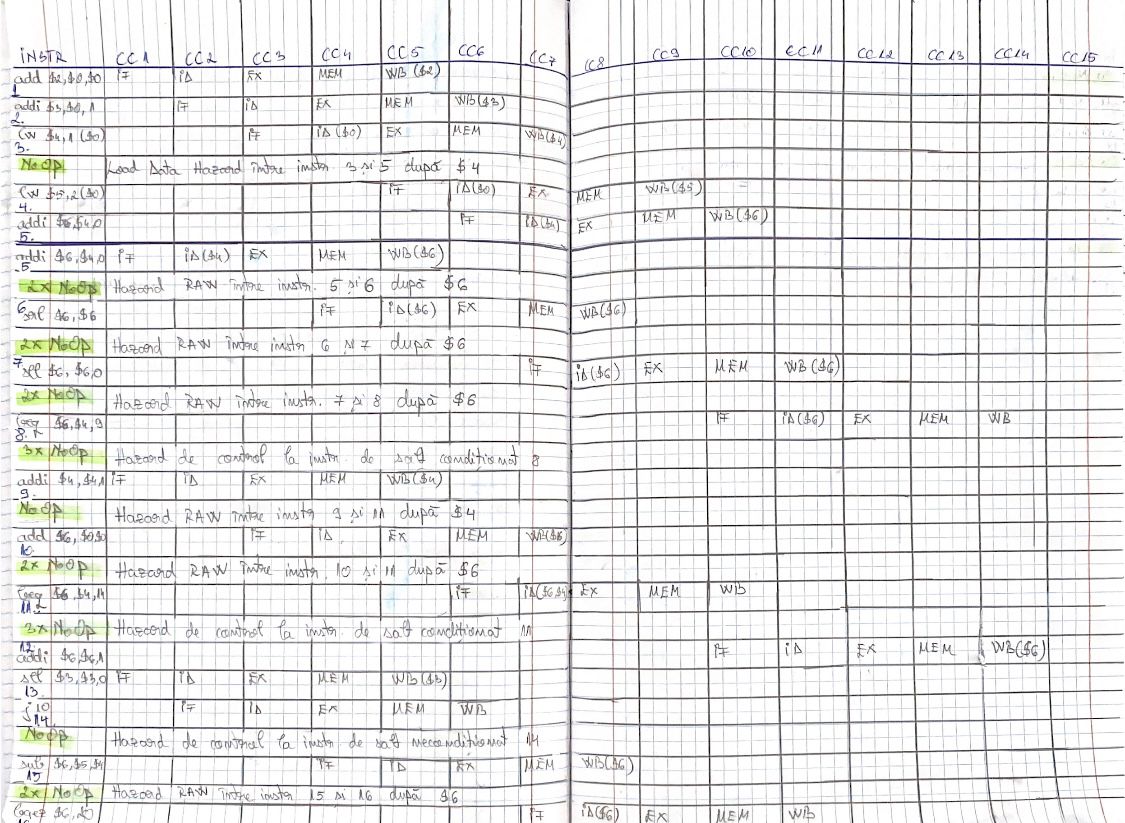
Se introduc pe coloane semnalele de date și control mapate la registre, de sus în jos, începând de la biții cei mai semnificativi ai registrului către cei mai puțin semnificativi. Se introduc în paranteză biții din registru alocați pentru fiecare semnal în parte. În dreptul numelui registrelor din primul rând se introduce în paranteză poziția bitului cel mai semnificativ (<msb>) din care reiese dimensiunea totală alocată registrului.

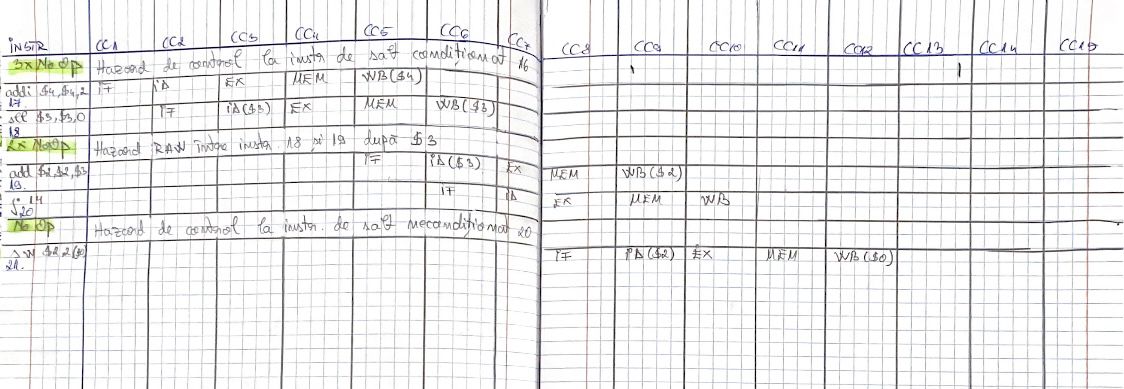
****

**Schema procesorului mips pipeline:**

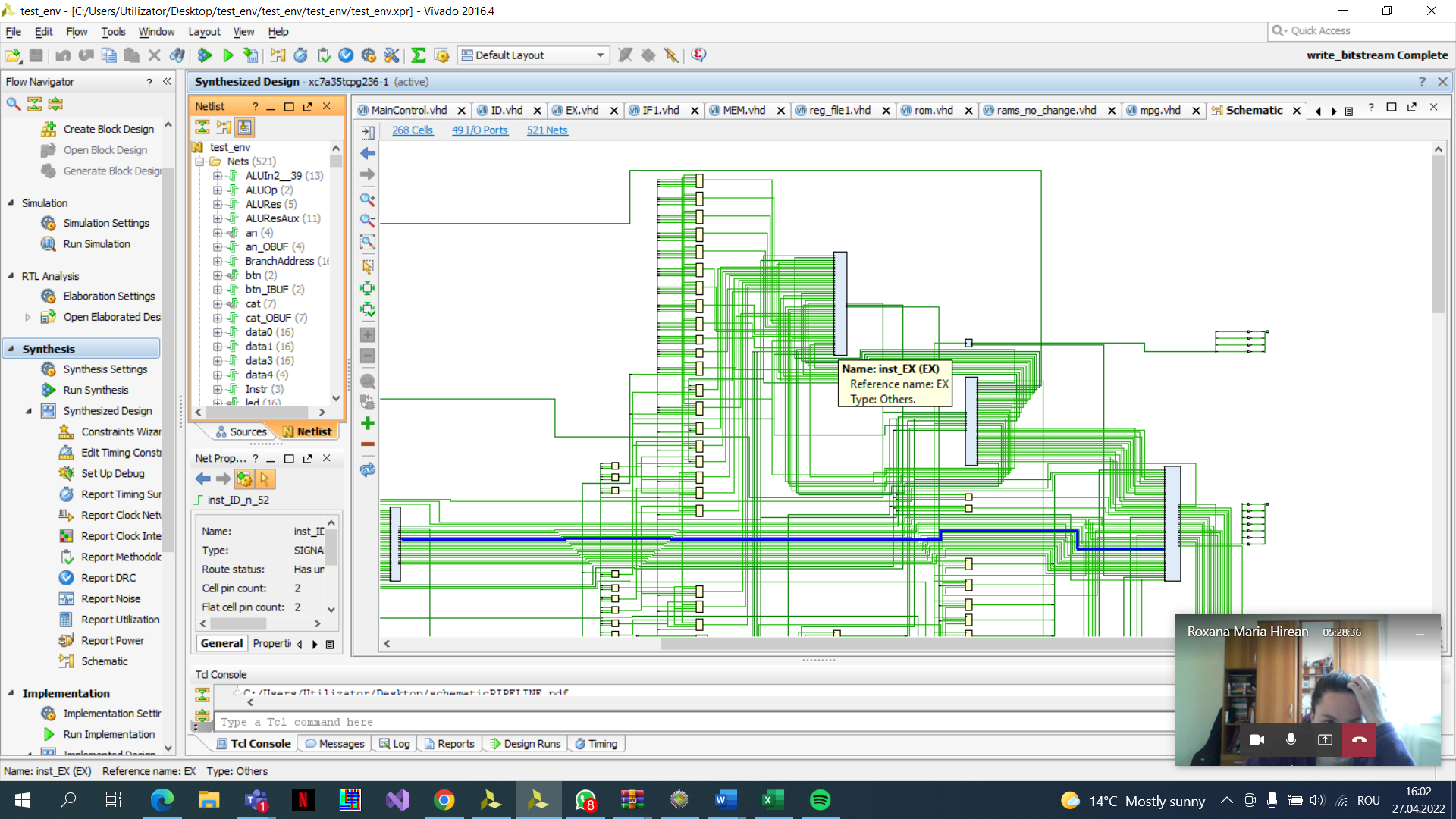
****

**Diagrama pipeline:**

****

****

**Corectitudinea descrierii VHDL**



Totul pare să funcționeze corect. Am testat și pe placă și nu par să fie probleme în execuția programului acesta returnând rezultatele așteptate.